

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-335867

(43)公開日 平成7年(1995)12月22日

| | | | | |
|--------------------------|------|--------|-----|--------|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 29/778 | | | | |
| 21/338 | | | | |
| 29/812 | | | | |

9171-4M

H 0 1 L 29/ 80

H

審査請求 有 請求項の数 8 O L (全 10 頁)

(21)出願番号 特願平6-123421

(22)出願日 平成6年(1994)6月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 葛原 正明

東京都港区芝五丁目7番1号 日本電気株式会社内

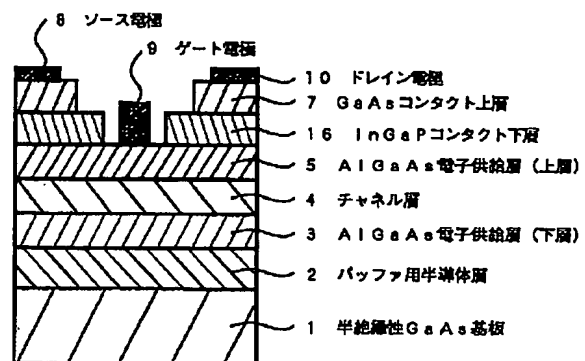
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【目的】 選択エッチング技術を利用することができ、高性能で且つ均一性や再現性に優れた2段リセス構造のヘテロ接合電界効果トランジスタを提供する。

【構成】 半絶縁性GaAs基板1上に、アンドープGaAsとアンドープAlGaAsとからなるバッファ層2と、n型AlGaAs電子供給層3と、アンドープInGaAsチャンネル層4と、n型AlGaAsとアンドープAlGaAsとからなるAlGaAs電子供給層5と、n型InGaPコンタクト下層16と、n型GaAsコンタクト上層7とを有し、AlGaAs電子供給層5上にゲート電極、GaAsコンタクト上層7上にソース電極とドレイン電極を形成する。2段リセス構造のFETのドレイン電流の増加と、ゲート耐圧の向上を達成できる。



【特許請求の範囲】

【請求項 1】不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaAsからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたInGaPからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたGaAsからなる第4の半導体層と、前記第4の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第4の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする電界効果トランジスタ。

【請求項 2】前記第3の半導体層に含まれるn型不純物濃度が前記第4の半導体層のn型不純物濃度に比べて低いことを特徴とする請求項 1記載の電界効果トランジスタ。

【請求項 3】不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたInGaPからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたAlGaAsからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたInGaPからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたGaAsからなる第5の半導体層と、前記第5の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第4の半導体層および前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第5の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする電界効果トランジスタ。

【請求項 4】前記第3の半導体層および前記第4の半導体層に含まれる各n型不純物濃度が前記第5の半導体層のn型不純物濃度に比べて低いことを特徴とする請求項 3記載の電界効果トランジスタ。

【請求項 5】不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaNからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたAlGaAsからなる第3の半導体層と、該第3の半導体層に接してn型不

純物が添加されたInGaPからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたGaAsからなる第5の半導体層と、前記第5の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第4の半導体層および前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第5の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする電界効果トランジスタ。

【請求項 6】前記第3の半導体層および前記第4の半導体層に含まれる各n型不純物濃度が前記第5の半導体層のn型不純物濃度に比べて低いことを特徴とする請求項 5記載の電界効果トランジスタ。

【請求項 7】不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaAsからなる第2の半導体層と、該第2の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたInGaPからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたAlGaAsからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたInGaPからなる第5の半導体層と、該第5の半導体層に接してn型不純物が添加されたGaAsからなる第6の半導体層と、前記第6の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第5の半導体層および前記第4の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第3の半導体層の表面に形成されたゲート電極と、前記第6の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする電界効果トランジスタ。

【請求項 8】前記第4の半導体層および前記第5の半導体層に含まれる各n型不純物濃度が前記第6の半導体層のn型不純物濃度に比べて低いことを特徴とする請求項 7記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電界効果トランジスタ、特にGaAs基板上に作製され、且つ工業的実施に際して高性能で且つ均一性及再現性に優れた構造を有する電界効果トランジスタに関する。

【0002】

【従来の技術】選択ドープヘテロ接合界面に生じる電子ガスの優れた輸送特性を利用したヘテロ接合電界効果トランジスタが、マイクロ波ミリ波帯で使用される各種通信機器の基本素子、および超高速ディジタル集積回路の

基本素子として近年大きな注目を集めている。

【0003】ヘテロ接合電界効果トランジスタにおいては、2段リセス構造を採用することで高耐圧動作と大電流動作を同時に改善できることが、例えば、Huang等によって1991 IEEE MTT-S Digest (アイイーイーイー、1991年国際マイクロ波シンポジウム予稿集)の第713頁から第716頁に記載されている。このようなヘテロ接合電界効果トランジスタの要部断面構造図の一例を図5に示す。図において、1は半絶縁性GaAs基板、2は例えばGaAsまたはAlGaAsもしくはこれらのヘテロ接合によって構成され、しかもn型不純物またはp型不純物のいずれも意図的に添加されていないかまたは十分に低い濃度で添加したバッファ用半導体層、3は厚さ方向の全域または局所的にn型不純物が添加されたAlGaAs電子供給層(下層)、4は例えばGaAsまたはInGaAsによって構成され、しかもn型不純物またはp型不純物のいずれも意図的に添加されていないかまたは十分に低い濃度で添加したチャンネル層、5は厚さ方向の全域または局所的にn型不純物が添加されたAlGaAs電子供給層(上層)、6はn型不純物を添加したGaAsコンタクト下層、7はn型不純物を高濃度に添加したGaAsコンタクト上層、8はソース電極、9はゲート電極、10はドレイン電極である。

【0004】この従来構造をもつヘテロ接合電界効果トランジスタの特性は、GaAsコンタクト上層7をエッチング除去することにより形成されたワイドリセス開口の幅(w1)とそのリセス深さ(d1)、およびGaAsコンタクト下層6をエッチング除去することにより形成されたナローリセス開口の幅(w2)とそのリセス深さ(d2)、さらにGaAsコンタクト上層7とGaAsコンタクト下層6の各ドナー濃度(n1, n2)によって決定される。

【0005】また、砒素(As)元素を含む化合物半導体層と燐(P)元素を含む化合物半導体層から構成されるヘテロ接合の選択エッチング性を利用することにより、ドレイン飽和電流のバラツキが少ないショットキバリア型電界効果トランジスタ(MESFET)が実現できることが特開平4-199641号公報において記載されている。

【0006】また、N型AlGaAs層とGaAs層(またはInGaAs層)のヘテロ接合を用いる従来の電界効果トランジスタにおいては、深い準位を含むN型AlGaAsのドーピング濃度が十分に大きくできないことによる低い2次元電子濃度や、深い準位の電子占有確率の温度特性に伴うしきい値電圧の大きな温度依存性が問題であった。これらの問題は、N型InGaP層とGaAs層のヘテロ接合、またはN型InGaP層とInGaAs層のヘテロ接合を用いる電界効果トランジスタによって解決できることが特開昭60-86872号

公報および特開昭63-228763号公報において記載されている。

【0007】

【発明が解決しようとする課題】図5に示した従来構造の2段リセス構造ヘテロ接合電界効果トランジスタを作製する工程においては、前述したワイドリセス開口幅(w1)とそのリセス深さ(d1)、およびナローリセス開口幅(w2)とそのリセス深さ(d2)を高精度に調整加工する必要がある。各リセス開口幅(w1, w2)の制御については、高精度のリソグラフィ技術を導入することである程度の改善を図ることができる。しかしながら、半導体材料としてAlGaAs/GaAs系が用いられた場合には、各リセス深さ(d1, d2)を高精度に制御する作業が甚だ困難となる。これは、通常用いられているAl組成0.3以下のAlGaAsとGaAs(またはInGaAs)の間では、溶液を用いたエッチングの場合に両材料間で十分なエッチング速度差が確保できないことから、リセス・エッチング深さを制御するためにはエッチング時間を制御しなければならないことに起因する。しかしながら、エッチング液の劣化、エッチング液の組成管理や温度管理の不備、またウェハ表面でのエッチング液の濡れ状態の変化などの問題がリセスエッチング深さの正確な制御の妨げとなって2段リセス形状に不均一性が発生し、これがウェハ面内での個々のトランジスタの特性(相互コンダクタンスやゲート耐圧など)のバラツキを大きくする原因となっていた。したがって、AlGaAs/GaAs系材料で構成される従来例のトランジスタ構造においては、大量生産を目的とした安定な2段リセス構造を提供することが困難であるという欠点があった。

【0008】

【課題を解決するための手段】本願第1の発明の電界効果トランジスタは、不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaAsからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたInGaPからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたGaAsからなる第4の半導体層と、前記第4の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第4の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする。

【0009】本願第2の発明の電界効果トランジスタは、前記第1の発明において、前記第3の半導体層に含

まれるn型不純物濃度が前記第4の半導体層のn型不純物濃度に比べて低いことを特徴とする。

【0010】本願第3の発明の電界効果トランジスタは、不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたInGaPからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたAlGaAsからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたInGaPからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたGaAsからなる第5の半導体層と、前記第5の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第4の半導体層および前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第5の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする。

【0011】本願の第4の発明の電界効果トランジスタは、前記第3の発明において、前記第3の半導体層および前記第4の半導体層に含まれる各n型不純物濃度が前記第5の半導体層のn型不純物濃度に比べて低いことを特徴とする。

【0012】本願第5の発明の電界効果トランジスタは、不純物を意図的に添加しないかまたは十分に低い濃度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaInPからなる第2の半導体層と、該第2の半導体層に接してn型不純物が添加されたAlGaAsからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたInGaPからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたGaAsからなる第5の半導体層と、前記第5の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第4の半導体層および前記第3の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第2の半導体層の表面に形成されたゲート電極と、前記第5の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする。

【0013】本願第6の発明の電界効果トランジスタは、前記第5の発明において、前記第3の半導体層および前記第4の半導体層に含まれる各n型不純物濃度が前記第5の半導体層のn型不純物濃度に比べて低いことを特徴とする。

【0014】本願第7の発明の電界効果トランジスタは、不純物を意図的に添加しないかまたは十分に低い濃

度で添加したGaAsまたはInGaAsからなる第1の半導体層と、該第1の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたAlGaAsからなる第2の半導体層と、該第2の半導体層に接して厚さ方向の全域または局所的にn型不純物が添加されたInGaPからなる第3の半導体層と、該第3の半導体層に接してn型不純物が添加されたAlGaAsからなる第4の半導体層と、該第4の半導体層に接してn型不純物が添加されたInGaPからなる第5の半導体層と、該第5の半導体層に接してn型不純物が添加されたGaAsからなる第6の半導体層と、前記第6の半導体層を貫通して設けられた第1のリセス開口と、該第1のリセス開口の内部に前記第5の半導体層および前記第4の半導体層を貫通して設けられた第2のリセス開口と、該第2のリセス開口の底部に露出した前記第3の半導体層の表面に形成されたゲート電極と、前記第6の半導体層の上に前記第1のリセス開口を挟んで両側に形成されたソース電極とドレイン電極とを備えてなることを特徴とする。

【0015】本願第8の発明の電界効果トランジスタは、前記第7の発明において、前記第4の半導体層および前記第5の半導体層に含まれる各n型不純物濃度が前記第6の半導体層のn型不純物濃度に比べて低いことを特徴とする。

【0016】

【作用】本発明の電界効果トランジスタは、As元素を含む化合物半導体材料であるGaAs、AlGaAs、InGaAsと、P元素を含む化合物半導体材料であるInGaPまたはAlGaInPの積層構造から構成されるため、両半導体材料の間の優れた選択エッチング技術を利用することができ、高性能で且つ均一性や再現性に優れた2段リセス構造のヘテロ接合電界効果トランジスタが実現できる。

【0017】このとき、前記2段リセス構造が形成された後に残されたソースおよびドレイン電極の下のコンタクト層の構成を各電極に近い順に上からGaAs、InGaPとし、リセスエッチングにより表面に露出したAlGaAsの上にゲート電極を形成したことによって、高いショットキ障壁厚さ(約1eV)を得ることができる。また、前記GaAsのn型不純物に比べて前記InGaPのn型不純物濃度を低く選んだことによって、オーミックコンタクト抵抗を劣化させずにゲート耐圧を改善することができる。

【0018】または、前記2段リセス構造が形成されて残されたソースおよびドレイン電極の下のコンタクト層の構成を各電極に近い順に上から第1のGaAs、第1のInGaP、第1のAlGaAsとし、リセスエッチングにより表面に露出した第2のInGaP(またはAlGaInP)の上にゲート電極を形成したことによって、表面トラップ濃度が比較的低く、したがって表面状

態が安定なFETを得ることができる。また、前記第1のGaAsのn型不純物に比べて前記第1のInGaPおよび前記第1のAlGaAsのn型不純物濃度を低く選んだことによって、オーミックコンタクト抵抗を劣化させずにゲート耐圧を改善することができる。

【0019】さらに、前記第2のInGaPの下にドナー不純物を含む第2のAlGaAs、不純物を意図的に添加しない（または添加されていても十分に低い濃度で添加した）第2のGaAs（またはInGaAs）チャネル層を形成したことによって、伝導帯エネルギー不連続量を比較的大きな値（例えば0.3eV程度）に設定することができ、その結果、2次元電子ガス濃度を高くすることができる。

【0020】

【実施例】

（実施例1）図1は本発明の電界効果トランジスタの第1の実施例（第1発明）の断面構造図である。図において、1は半絶縁性GaAs基板、2は例えばGaAsまたはAlGaAsもしくはこれらのヘテロ接合によって構成され、しかもn型不純物またはp型不純物のいずれも意図的に添加されていないかまたは十分に低い濃度で添加したバッファ用半導体層、3は厚さ方向の全域または局所的にn型不純物が添加されたAlGaAs電子供給層（下層）、4は例えばGaAsまたはInGaAsによって構成され、しかもn型不純物またはp型不純物のいずれも意図的に添加されていないかまたは十分に低い濃度で添加したチャネル層、5は厚さ方向の全域または局所的にn型不純物が添加されたAlGaAs電子供給層（上層）、16はn型不純物を添加したInGaPコンタクト下層、7はn型不純物を高濃度に添加したGaAsコンタクト上層である。InGaPコンタクト下層16のIn組成比xは半絶縁性GaAs基板1に格子整合する0.49に選ぶことができるが、この値に制限されるものではない。また、AlGaAs電子供給層（上層）5およびAlGaAs電子供給層（下層）3各内部での不純物分布は一様分布とすることができるが、これに限るものではなく、不純物分布を深さ方向に傾斜状やステップ状に変化させたり、プレーナ・ドーピングなどとして行うことが可能である。

【0021】このような電界効果トランジスタは以下のようにして作製することができる。まず、半絶縁性GaAs基板の上に例えば有機金属気相成長法（MOVPE）を用いて、バッファ用半導体層としてアンドープGaAs層を300nm、続いてアンドープAl_{0.3}Ga_{0.7}As層を200nm、Siを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.3}Ga_{0.7}As電子供給層（下層）を6nm、アンドープAl_{0.3}Ga_{0.7}Asスペーサー層を1.5nm、アンドープIn_{0.5}Ga_{0.5}Asチャネル層を13nm、アンドープAl_{0.3}Ga_{0.7}Asスペーサー層を1.5nm、AlGaAs電子供給層（上層）

として、まずSiを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.3}Ga_{0.7}As層を14nm、続いてアンドープAl_{0.3}Ga_{0.7}As（ショットキ）層を20nm、Siを $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングしたn型In_{0.5}Ga_{0.5}Pコンタクト下層を40nm、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型GaAsコンタクト上層を80nm、この順序でエピタキシャル成長する。ここで、アンドープIn_{0.5}Ga_{0.5}Asチャネル層を挟んで導入した2つのアンドープAl_{0.3}Ga_{0.7}Asスペーサー層は省略してもFETの基本的な動作に影響を与えない。また、n型Al_{0.3}Ga_{0.7}As電子供給層（上層）の一部として形成したアンドープAl_{0.3}Ga_{0.7}As（ショットキ）層はゲート電極の耐圧を改善する目的をもつ。

【0022】次に、例えばH₂SO₄-H₂O₂-H₂O系エッチング液を用いて前記n型GaAsコンタクト上層を貫通して第1のリセス開口を形成する。このとき、このエッチング液ではInGaPは殆どエッチングされないため、前記n型In_{0.5}Ga_{0.5}Pコンタクト下層の表面が露出した時点で前記n型GaAsコンタクト上層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、例えばHCl-H₂O系エッチング液を用いて、前記第1のリセス開口の内部に前記第1のリセス開口の幅よりも狭い幅を持つ第2のリセス開口を形成する。このとき、このエッチング液ではGaAsまたはAlGaAsは殆どエッチングされないため、前記アンドープAl_{0.3}Ga_{0.7}As（ショットキ）層の表面が露出した時点でn型In_{0.5}Ga_{0.5}Pコンタクト下層を貫通する第2のリセス開口の深さ方向のエッチングが自動的に停止する。次に、第2のリセス開口の底部に露出した前記アンドープAl_{0.3}Ga_{0.7}As（ショットキ）層の表面に例えばアルミニウム（Al）からなるゲート電極を形成する。最後に、該ゲート電極および前記第1のリセス開口を挟んで両側のn型GaAsコンタクト上層の表面に例えば金ゲルマニウム／ニッケル（AuGe/Ni）金属からなるソース電極とドレイン電極を形成した後、温度420℃程度の熱処理によってオーム性接触を形成する。

【0023】このようにして作製された本発明の第1の実施例による電界効果トランジスタは、2段リセス構造の特徴を反映して、高いゲート耐圧と大きな最大ドレイン電流を同時に提供することができる。しかも、図5に示される従来の電界効果トランジスタに比べてプロセス余裕が向上できるため、素子の生産性や歩留りを飛躍的に向上させることができる。したがって、この第1の実施例に示す電界効果トランジスタはマイクロ波やミリ波領域での低雑音増幅器や広帯域線形増幅器、高出力増幅器、発振器などのアナログ応用から各種デジタル応用に至る広い用途に利用することができる。

【0024】（実施例2）図2は、本発明の電界効果ト

10

20

30

40

50

ランジスタの第2の実施例(第2発明)の断面構造図である。なお、図2において、図1との対応部分には同一符号を付して詳細な説明を省略する。また、図2に示される本発明の電界効果トランジスタは、次の事項を除いて、図1を用いて説明した第1の実施例の電界効果トランジスタと同様の構成を有する。すなわち、AlGaAs電子供給層(上層)5に代わって厚さ方向の全域または局所的にn型不純物が添加されたInGaP電子供給層(上層)25が形成され、また、InGaPコンタクト下層16に代わってn型不純物が添加されたInGaPコンタクト中間層27とn型不純物が添加されたAlGaAsコンタクト下層26の積層構造が形成されている。この場合、InGaPコンタクト中間層27はGaAsコンタクト上層7に接して形成されている。InGaP電子供給層(上層)25とInGaPコンタクト中間層27の各In組成比xは半絶縁性GaAs基板1に格子整合する0.49に選ぶことができるが、この値に制限されるものではない。また、InGaP電子供給層(上層)25およびAlGaAs電子供給層(下層)3各内部での不純物分布は様分布とすることができるが、これに限られるものではなく、不純物分布を深さ方向に傾斜状やステップ状に変化させたり、プレーナードーピングなどとするのが可能である。

【0025】このような電界効果トランジスタは以下のようにして作製することができる。まず、半絶縁性GaAs基板の上に例えば有機金属気相成長法(MOVPE)を用いて、バッファ用半導体層としてアンドープGaAs層を300nm、続いてアンドープAl_{0.2}Ga_{0.8}As層を200nm、Siを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.2}Ga_{0.8}As電子供給層(下層)を6nm、アンドープAl_{0.2}Ga_{0.8}Asスペーサー層を1.5nm、アンドープIn_{0.2}Ga_{0.8}Asチャネル層を13nm、アンドープIn_{0.49}Ga_{0.51}Pスペーサー層を1.5nm、InGaP電子供給層(上層)として、まずSiを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型In_{0.49}Ga_{0.51}Pを14nm、続いてアンドープIn_{0.49}Ga_{0.51}P(ショットキ)層を20nm、Siを $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.2}Ga_{0.8}Asコンタクト下層を20nm、Siを $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングしたn型In_{0.49}Ga_{0.51}Pコンタクト中間層を20nm、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型GaAsコンタクト上層を例えば80nm、この順序でエピタキシャル成長する。ここで、アンドープIn_{0.2}Ga_{0.8}Asチャネル層を挟んで導入したアンドープAl_{0.2}Ga_{0.8}Asスペーサー層およびアンドープIn_{0.49}Ga_{0.51}Pスペーサー層は省略してもFETの基本的な動作に影響を与えない。また、InGaP電子供給層(上層)の一部として形成したアンドープIn_{0.49}Ga_{0.51}P(ショットキ)層はゲート電極の耐圧を改善する目的をもつ。

【0026】次に、例えばH₂SO₄-H₂O系のエッチング液を用いて前記n型GaAsコンタクト上層を貫通して第1のリセス開口を形成する。このとき、このエッチング液ではInGaPは殆どエッチングされないため、前記n型In_{0.49}Ga_{0.51}Pコンタクト中間層の表面が露出した時点で前記n型GaAsコンタクト上層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、例えばHCl-H₂O系エッチング液を用いて、前記第1のリセス開口の内部に前記第1のリセス開口の幅よりも狭い幅をもつ第2のリセス開口を形成する。このとき、このエッチング液ではGaAsまたはAlGaAsは殆どエッチングされないため、前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層の表面が露出した時点でn型In_{0.49}Ga_{0.51}Pコンタクト中間層を貫通する第2のリセス開口の深さ方向のエッチングが自動的に停止する。次に、再び例えばH₂SO₄-H₂O系エッチング液を用いて前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層を貫通して第2のリセス開口のエッチングを継続する。このとき、このエッチング液ではInGaPは殆どエッチングされないため、前記アンドープIn_{0.49}Ga_{0.51}P(ショットキ)層の表面が露出した時点で前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、第2のリセス開口の底部に露出した前記アンドープIn_{0.49}Ga_{0.51}P(ショットキ)層の表面に例えばアルミニウム(Al)からなるゲート電極を形成する。最後に、該ゲート電極および前記第1のリセス開口を挟んで両側のn型GaAsコンタクト上層の表面に例えば金ゲルマニウム/ニッケル(AuGe/Ni)金属からなるソース電極とドレイン電極を形成した後、温度420℃程度の熱処理によってオーム性接触を形成する。

【0027】このようにして作製された本発明の第2の実施例による電界効果トランジスタは、2段リセス構造の特徴を反映して、高いゲート耐圧と大きな最大ドレイン電流を同時に提供することができる。しかも、図5に示される従来の電界効果トランジスタに比べてプロセス余裕が向上できるため、素子の生産性や歩留りを飛躍的に向上させることができる。したがって、この第2の実施例に示す電界効果トランジスタはマイクロ波やミリ波領域での低雑音増幅器や広帯域線形増幅器、高出力増幅器、発振器などのアナログ応用から各種デジタル応用に至る広い用途に利用することができる。さらに、図5に示される従来の電界効果トランジスタのAlGaAs電子供給層(上層)に比べると、第2のリセス開口の底部に露出したInGaP電子供給層(上層)の表面やバルク中に含まれるトラップ濃度は低いため、温度変化や光照射などの外的擾乱に対しても安定な素子動作を実現することができる。

【0028】(実施例3) 図3は、本発明の電界効果ト

ランジスタの第3の実施例(第3発明)の断面構造図である。なお、図3において、図1との対応部分には同一符号を付して詳細な説明を省略する。また、図3に示される本発明の電界効果トランジスタは、次の事項を除いて、図1を用いて説明した第1の実施例の電界効果トランジスタと同様の構成を有する。すなわち、AlGaAs電子供給層(上層)5に代わって厚さ方向の全域または局所的にn型不純物が添加されたAlGaInP電子供給層(上層)35が形成され、また、InGaPコンタクト下層16に代わってn型不純物が添加されたInGaPコンタクト中間層27とn型不純物が添加されたAlGaAsコンタクト下層26の積層構造が形成されている。この場合、InGaPコンタクト中間層27はGaAsコンタクト上層7に接して形成されている。AlGaInP電子供給層(上層)35とInGaPコンタクト中間層27の各In組成比xは半絶縁性GaAs基板1に格子整合する0.49に選ぶことができるが、この値に制限されるものではない。また、AlGaInP電子供給層(上層)35およびAlGaAs電子供給層(下層)3各内部での不純物分布は一様分布とすることができるが、これに限られるものではなく、不純物分布を深さ方向に傾斜状やステップ状に変化させたり、プレーナ・ドーピングなどとすることが可能である。

【0029】このような電界効果トランジスタは以下のようにして作製することができる。まず、半絶縁性GaAs基板の上に例えば有機金属気相成長法(MOVPE)を用いて、バッファ用半導体層としてアンドープGaAs層を300nm、続いてアンドープAl_{0.2}Ga_{0.8}As層を200nm、Siを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.2}Ga_{0.8}As電子供給層(下層)を6nm、アンドープAl_{0.2}Ga_{0.8}Asスペーサー層を例えば1.5nm、アンドープIn_{0.49}Ga_{0.51}Asチャネル層を13nm、アンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}Pスペーサー層を1.5nm、AlGaInP電子供給層(上層)として、まずSiを $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}P層を14nm、続いてアンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}P(ショットキ)層を20nm、Siを $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングしたn型Al_{0.2}Ga_{0.8}Asコンタクト下層を20nm、Siを $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーピングしたn型In_{0.49}Ga_{0.51}Pコンタクト中間層を20nm、Siを $3 \times 10^{18} \text{ cm}^{-3}$ 程度ドーピングしたn型GaAsコンタクト上層を80nm、この順序でエピタキシャル成長する。ここで、アンドープIn_{0.49}Ga_{0.51}Asチャネル層を挟んで導入したアンドープAl_{0.2}Ga_{0.8}Asスペーサー層およびアンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}Pスペーサー層は省略してもFETの基本的な動作に影響を与えない。また、AlGaInP電子供給層(上層)の一部として形成したアンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}P

(ショットキ)層はゲート電極の耐圧を改善する目的をもつ。

【0030】次に、例えばH₂SO₄-H₂O₂-H₂O系エッチング液を用いて前記n型GaAsコンタクト上層を貫通して第1のリセス開口を形成する。このとき、このエッチング液ではInGaPは殆どエッチングされないため、前記n型In_{0.49}Ga_{0.51}Pコンタクト中間層の表面が露出した時点で前記n型GaAsコンタクト上層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、例えばHCl-H₂O系エッチング液を用いて、前記第1のリセス開口の内部に前記第1のリセス開口の幅より狭い幅をもつ第2のリセス開口を形成する。このとき、このエッチング液ではGaAsまたはAlGaAsは殆どエッチングされないため、前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層の表面が露出した時点でn型In_{0.49}Ga_{0.51}Pコンタクト中間層を貫通する第2のリセス開口の深さ方向のエッチングが自動的に停止する。次に、再び例えばH₂SO₄-H₂O₂-H₂O系のエッチング液を用いて前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層を貫通して第2のリセス開口のエッチングを継続する。このとき、このエッチング液ではAlGaInPは殆どエッチングされないため、前記アンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}P(ショットキ)層の表面が露出した時点で前記n型Al_{0.2}Ga_{0.8}Asコンタクト下層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、第2のリセス開口の底部に露出した前記アンドープ(Al_{0.2}Ga_{0.8})_{0.51}In_{0.49}P(ショットキ)層の表面に例えばアルミニウム(Al)からなるゲート電極を形成する。最後に、該ゲート電極および前記第1のリセス開口を挟んで両側のn型GaAsコンタクト上層の表面に例えば金ゲルマニウム/ニッケル(AuGe/Ni)金属からなるソース電極とドレイン電極を形成した後、温度420℃程度の熱処理によってオーム性接触を形成する。

【0031】このようにして作製された本発明の第3の実施例による電界効果トランジスタは、2段リセス構造の特徴を反映して、高いゲート耐圧と大きな最大ドレイン電流を同時に提供することができる。しかも、図5に示される従来の電界効果トランジスタに比べてプロセス余裕が向上できるため、素子の生産性や歩留りを飛躍的に向上させることができる。したがって、この第3の実施例に示す電界効果トランジスタはマイクロ波やミリ波領域での低雑音増幅器や広帯域線形増幅器、高出力増幅器、発振器などのアナログ応用から各種デジタル応用に至る広い用途に利用することができる。また、図5に示される従来の電界効果トランジスタのAlGaAs電子供給層(上層)に比べると、第2のリセス開口の底部に露出したAlGaInP電子供給層(上層)の表面やバルク中に含まれるトラップ濃度は低いため、温度変化や

光照射などの外的擾乱に対しても安定な素子動作を実現することができる。さらに、 AlGaInP と InGaAs の間の伝導帯エネルギー不連続量は、 InGaP と InGaAs の間の伝導帯エネルギー不連続量に比べて大きい。第3の実施例の電界効果トランジスタは第2の実施例の電界効果トランジスタに比べて大きなドレイン電流を供給することができる。

【0032】（実施例4）図4は、本発明の電界効果トランジスタの第4の実施例（第4発明）の断面構造図である。なお、図4において、図1との対応部分には同一符号を付して詳細な説明を省略する。また、図4に示される本発明の電界効果トランジスタは、次の事項を除いて、図1を用いて説明した第1の実施例の電界効果トランジスタと同様の構成を有する。すなわち、 AlGaAs 電子供給層（上層）5に代わって厚さ方向の全域または局所的にn型不純物が添加された AlGaAs 電子供給層（上層1）51と厚さ方向の全域または局所的にn型不純物が添加された InGaP 電子供給層（上層2）52の積層構造が形成され、また、 InGaP コンタクト層16に代わってn型不純物が添加された InGaP コンタクト中間層27とn型不純物が添加された AlGaAs コンタクト下層26の積層構造が形成されている。この場合、 AlGaAs 電子供給層（上層1）51はチャネル層4に接して形成され、 InGaP コンタクト中間層27は GaAs コンタクト上層7に接して形成されている。 InGaP 電子供給層（上層2）52と InGaP コンタクト中間層27の各 In 組成比 x は半絶縁性 GaAs 基板1に格子整合する0.49に選ぶことができるが、この値に制限されるものではない。また、 InGaP 電子供給層（上層2）52および AlGaAs 電子供給層（下層）3各内部での不純物分布は一様分布とすることができるが、これに限られるものではなく、不純物分布を深さ方向に傾斜状やステップ状に変化させたり、プレーナ・ドーピングなどとする事が可能である。

【0033】このような電界効果トランジスタは以下のようにして作製することができる。まず、半絶縁性 GaAs 基板の上に例えば有機金属気相成長法（MOVPE）を用いて、バッファ用半導体層としてアンドープ GaAs 層を例えば300nm、続いてアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を例えば200nm、 Si を $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーブしたn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 電子供給層（下層）を例えば6nm、アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層を例えば13nm、アンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサー層を例えば1.5nm、 AlGaAs 電子供給層（上層1）として Si を $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーブしたn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 層を10nm、 InGaP 電子供給層（上層2）としてまず Si を $2.5 \times 10^{18} \text{ cm}^{-3}$ 程度ドーブしたn

型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ 層を4nm、続いてアンドープ $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ （ショットキ）層を20nm、 Si を $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーブしたn型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ コンタクト下層を20nm、 Si を $2 \times 10^{17} \text{ cm}^{-3}$ 程度ドーブしたn型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ コンタクト中間層を20nm、 Si を $3 \times 10^{18} \text{ cm}^{-3}$ 程度ドーブしたn型 GaAs コンタクト上層を80nm、この順序でエピタキシャル成長する。ここで、アンドープ $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ チャネル層を挟んで導入した2つのアンドープ $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ スペーサー層は省略してもFETの基本的な動作に影響を与えない。また、 InGaP 電子供給層（上層2）の一部として形成したアンドープ $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ （ショットキ）層はゲート電極の耐圧を改善する目的をもつ。

【0034】次に、例えば $\text{H}_2\text{SO}_4 - \text{H}_2\text{O}_2 - \text{H}_2\text{O}$ 系エッチングを用いて前記n型 GaAs コンタクト上層を貫通して第1のリセス開口を形成する。このとき、このエッチング液では InGaP は殆どエッチングされないため、前記n型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ コンタクト中間層の表面が露出した時点で前記n型 GaAs コンタクト上層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、例えば $\text{HCl} - \text{H}_2\text{O}$ 系エッチング液を用いて、前記第1のリセス開口の内部に前記第1のリセス開口の幅より狭い幅をもつ第2のリセス開口を形成する。このとき、このエッチング液では GaAs または AlGaAs は殆どエッチングされないため、前記n型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ コンタクト下層の表面が露出した時点でn型 $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ コンタクト中間層を貫通する第2のリセス開口の深さ方向のエッチングが自動的に停止する。次に、再び例えば $\text{H}_2\text{SO}_4 - \text{H}_2\text{O}_2 - \text{H}_2\text{O}$ 系エッチング液を用いて前記n型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ コンタクト下層を貫通して第2のリセス開口のエッチングを継続する。このとき、このエッチング液では InGaP は殆どエッチングされないため、前記アンドープ $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ （ショットキ）層の表面が露出した時点で前記n型 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ コンタクト下層を貫通するリセス開口の深さ方向のエッチングが自動的に停止する。次に、第2のリセス開口の底部に露出した前記アンドープ $\text{In}_{0.4}\text{Ga}_{0.6}\text{P}$ （ショットキ）層の表面に例えばアルミニウム（ Al ）からなるゲート電極を形成する。最後に、該ゲート電極および前記第1のリセス開口を挟んで両側のn型 GaAs コンタクト上層の表面に例えば金ゲルマニウム／ニッケル（ AuGe/Ni ）金属からなるソース電極とドレイン電極を形成した後、温度420℃程度の熱処理によってオーム性接触を形成する。

【0035】このようにして作製された本発明の第4の実施例による電界効果トランジスタは、2段リセス構造の特徴を反映して、高いゲート耐圧と大きな最大ドレイン電流を同時に提供することができる。しかも、図5に

15

示される従来の電界効果トランジスタに比べてプロセス余裕が向上できるため、素子の生産性や歩留りを飛躍的に向上させることができる。したがって、この第4の実施例に示す電界効果トランジスタはマイクロ波やミリ波領域での低雑音増幅器や広帯域線形増幅器、高出力増幅器、発振器などのアナログ応用から各種デジタル応用に至る広い用途に利用することができる。さらに、図5に示される従来の電界効果トランジスタのAlGaAs電子供給層（上層）に比べると、第2のリセス開口の底部に露出したInGaP電子供給層（上層2）の表面やバルク中に含まれるトラップ濃度は低いため、温度変化や光照射などの外的擾乱に対しても安定な素子動作を実現することができる。

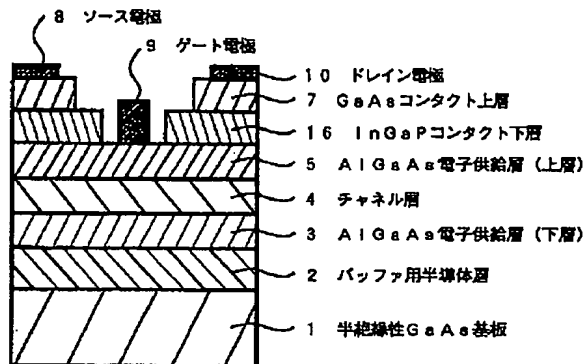
【0036】

【発明の効果】以上説明したように、本発明によれば、選択エッチング技術を利用することができ、技術者の熟練度に依存することなく、プロセスの制御性の向上やプロセスに必要な時間の大幅な短縮を図ることができる。また、積層コンタクト構造をもつ2段リセス構造において、コンタクト層のn型不純物濃度を最適値に選ぶことができるため、ドレイン電流の増加とゲート耐圧の向上を同時に実現することができる。すなわち、本発明によれば、2段リセス構造をもつヘテロ接合電界効果トランジスタの高性能化と生産性向上を同時に実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の電界効果トランジスタの第1の実施例*

【図1】



16

*の断面構造を示す模式図である。

【図2】本発明の電界効果トランジスタの第2の実施例の断面構造を示す模式図である。

【図3】本発明の電界効果トランジスタの第3の実施例の断面構造を示す模式図である。

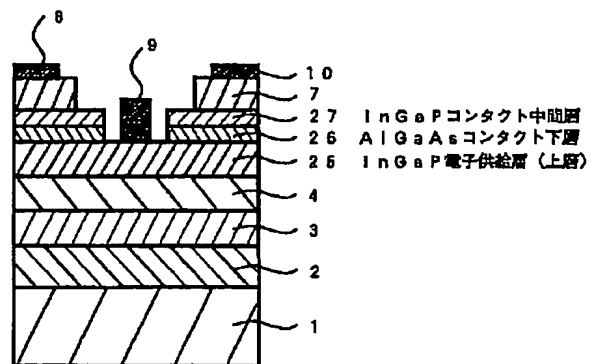
【図4】本発明の電界効果トランジスタの第4の実施例の断面構造を示す模式図である。

【図5】従来技術による電界効果トランジスタの断面構造図である。

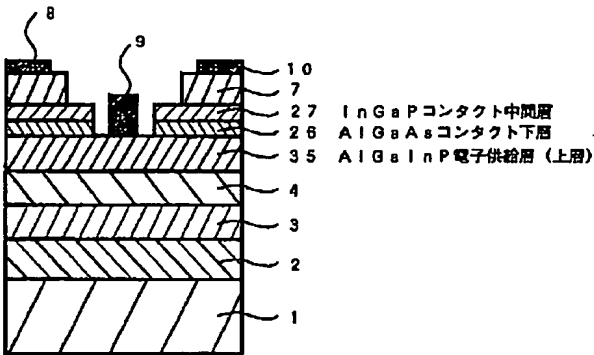
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 バッファ用半導体層
- 3 AlGaAs電子供給層（下層）
- 4 チャネル層
- 5 AlGaAs電子供給層（上層）
- 6 GaAsコンタクト下層
- 7 GaAsコンタクト上層
- 8 ソース電極
- 9 ゲート電極
- 10 ドレイン電極
- 16 InGaPコンタクト下層
- 25 InGaP電子供給層（上層）
- 26 AlGaAsコンタクト下層
- 27 InGaPコンタクト中間層
- 35 AlGaInP電子供給層（上層）
- 51 AlGaAs電子供給層（上層1）
- 52 InGaP電子供給層（上層2）

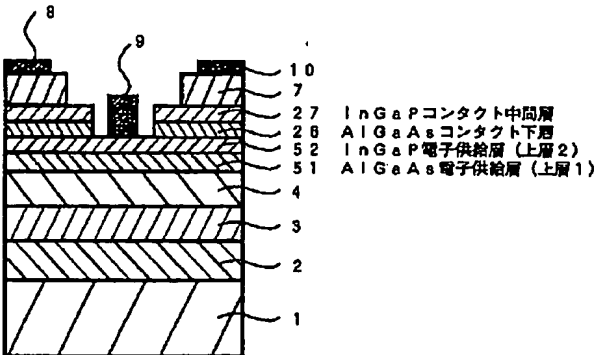
【図2】



【図 3】



【図 4】



【図 5】

